

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-011400
 (43)Date of publication of application : 14.01.2000

(51)Int.CI.

G11B 7/09
G11B 7/12

(21)Application number : 10-182900

(71)Applicant : RICOH CO LTD

(22)Date of filing : 29.06.1998

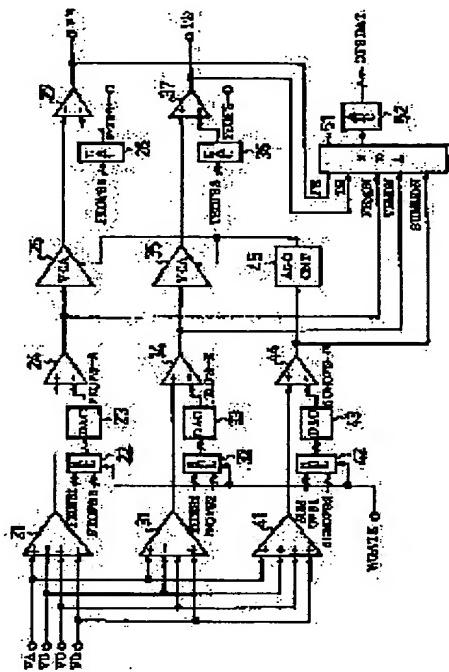
(72)Inventor : SHIGEMORI TOSHIHIRO

(54) SIGNAL DETECTION CIRCUIT FOR OPTICAL DISK DRIVE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To properly cancel a circuit offset and an optical offset occurring in a servo signal.

SOLUTION: A focus signal operation amplifier 21 operates a focus signal based on plural output signals from a divided photodetector of an optical pickup to output, and a differential amplifier 24 applies a first system offset cancel voltage: FEOF-S-E to the focus signal outputted from the focus signal operation amplifier 21 to output, and a VCA 25 normalizes the focus signal after the first system offset cancel voltage: FEOF-S-E is applied with a sum total signal by an AGC control circuit 45 to output, and the differential amplifier 27 applies a second system offset cancel voltage: FEOF-S-O to the servo signal after normalized to output.



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-11400

(P2000-11400A)

(43) 公開日 平成12年1月14日 (2000.1.14)

(51) Int.Cl.⁷

識別記号

F I

テマコト(参考)

G 11 B 7/09
7/12

G 11 B 7/09
7/12

A 5 D 1 1 8
5 D 1 1 9

審査請求 未請求 請求項の数2 OL (全12頁)

(21) 出願番号 特願平10-182900

(22) 出願日 平成10年6月29日 (1998.6.29)

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 重森 俊宏

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(74) 代理人 100080931

弁理士 大澤 敬

Fターム(参考) 5D118 AA18 BA01 CA01 CA02 CC12

CD02 CD03

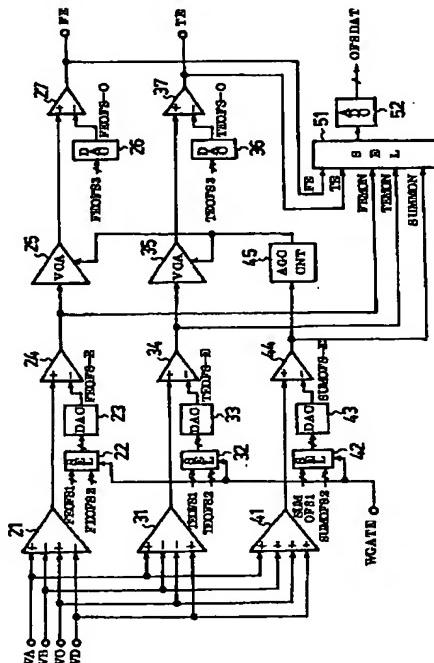
5D119 AA29 BA01 EA02 EA03

(54) 【発明の名称】 光ディスク駆動装置の信号検出回路

(57) 【要約】

【課題】 サーボ信号に生じる回路オフセットと光学オフセットを適切にキャンセルできるようにする。

【解決手段】 フォーカス信号演算アンプ21が光ピックアップの分割受光素子からの複数の出力信号に基づいてフォーカス信号を演算して出力し、差動アンプ24がフォーカス信号演算アンプ21から出力されたフォーカス信号に第1系統オフセットキャンセル電圧：FEOF S-Eを印加して出力し、VCA25が上記第1系統オフセットキャンセル電圧：FEOF S-Eが印加された後のフォーカス信号をAGC制御回路45による総和信号で正規化して出力し、差動アンプ27が上記正規化された後のサーボ信号に第2系統オフセットキャンセル電圧：FEOF S-Oを印加して出力する。



【特許請求の範囲】

【請求項1】 光ピックアップの分割受光素子からの複数の出力信号に基づいてフォーカス信号及びトラッキング信号のサーボ信号を演算するサーボ信号演算回路と、該サーボ信号演算回路から出力されたサーボ信号に第1の系統のオフセットキャンセル電圧を印加する第1系統

- ・オフセットキャンセル電圧印加手段と、

該手段によって第1の系統のオフセットキャンセル電圧が印加された後のサーボ信号を前記複数の出力信号の総和信号で正規化するサーボ信号正規化手段と、

該手段によって正規化された後のサーボ信号に第2の系統のオフセットキャンセル電圧を印加する第2系統オフセットキャンセル電圧印加手段とを備えたことを特徴とする光ディスク駆動装置の信号検出回路。

【請求項2】 請求項1記載の光ディスク駆動装置の信号検出回路において、

所定の切替信号に基づいて2種類のゲインの内的一方のゲインに切り替え、該切り替えたゲインに基づいて前記分割受光素子からの複数の出力信号の電流信号をそれぞれ電圧信号に変換する電流電圧変換回路と、

前記第1系統オフセットキャンセル電圧印加手段が印加する第1の系統のオフセットキャンセル電圧のレベルを前記所定の切替信号に基づいて2種類の小系統のレベルの内的一方に切り替えるオフセットキャンセル電圧レベル切替手段とを設け、

前記所定の切替信号に基づいて前記電流電圧変換回路におけるゲインの種類の切り替えと前記オフセットキャンセル電圧レベル切替手段における小系統のレベルの種類の切り替えとを連動させることを特徴とする光ディスク駆動装置の信号検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、光ディスク駆動装置における信号検出回路に関する。

【0002】

【従来の技術】図16は、従来の光ディスク駆動装置における信号検出回路のサーボ信号演算部を示す回路図である。このサーボ信号演算部のフォーカス信号演算アンプ61は、光ピックアップの分割受光素子を有する検出器からの4つの出力信号VA～VDを入力し、演算式 $(VA+VC)-(VB+VD)$ に基づく演算を行なって得られる出力信号を出力する。このようなフォーカス信号検出方法を非点収差法と呼ぶ。

【0003】また、DAコンバータ(DAC)62は、アンプ63に所定のオフセットキャンセル信号を出力する。このDAC62が outputするオフセットキャンセル信号のオフセットキャンセルデータ“FE0FS”は、光ディスク駆動装置のCPU等から設定する。そして、アンプ63は、フォーカス信号演算アンプ61による演算で得られたフォーカス信号からオフセット分を取り除

き、そのフォーカス信号を信号端子FEから出力する。

【0004】一方、トラッキング信号演算アンプ71は、光ピックアップの分割受光素子を有する検出器からの4つの出力信号VA～VDを入力し、演算式 $(VA+VD)-(VB+VC)$ に基づく演算を行なって得られる出力信号を出力する。このようなトラッキング信号演算方法をブッシュブル法と呼ぶ。

【0005】また、DAコンバータ(DAC)72は、アンプ73に所定のオフセットキャンセル信号を出力する。このDAC72が outputするオフセットキャンセル信号のオフセットキャンセルデータ“TE0FS”は光ディスク駆動装置のCPU等から設定する。そして、アンプ73は、トラッキング信号演算アンプ71による演算で得られたトラッキング信号からオフセット分を取り除き、そのトラッキング信号を信号端子TEから出力する。

【0006】上述のようにして、フォーカス信号演算アンプ61及びトラッキング信号演算アンプ71でそれぞれ演算されたフォーカス信号とトラッキング信号は、一般的に2種類に大別されるオフセット信号が含まれる。

【0007】その一つは回路オフセットと称し、光ピックアップの検出器のIVアンプ、フォーカス信号演算アンプ61、トラッキング信号演算アンプ71等の回路オフセットによって生じるものである。その回路オフセットは、フォトディテクタに入力される信号レベルによらず一定であり、レーザパワーをOFFした場合でも定常的に生じる。

【0008】また、回路オフセットは一般にアンプゲインが高いと大きくなる。すなわち、通常、S/N比を良好にするために前段部のアンプのゲインを高くしているので、回路オフセットはIVアンプ、フォーカス信号演算アンプ61、トラッキング信号演算アンプ71で生じるもののが支配的である。

【0009】もう一つは光学オフセットと称し、光ピックアップの組立誤差などによって生じるものである。この光学オフセットは、フォトディテクタに入力される信号レベルによって変化する。したがって、ディスク反射率やレーザパワーによって光学オフセットは変化する。

【0010】

【発明が解決しようとする課題】しかしながら、従来の光ディスク駆動装置の信号検出回路では、DAC62と72によって一定量のオフセット信号をキャンセルできるが、上述のようにサーボ信号に生ずるオフセットは、ほぼ一定量の回路オフセットとレーザパワーディスク反射率によって変動する光学オフセットとが混在したものであり、完全なオフセットキャンセルができないという問題があった。

【0011】また、サーボ信号に生じるオフセットは、光ピックアップによるレーザビームのフォーカスずれやトラッキングずれを生じさせ、光ディスク上のデータを

正しく再生できなかったり、光ディスク上にデータを正しく記録できなかったりするなどの問題も生じていた。

【0012】この発明は上記の点に鑑みてなされたものであり、サーボ信号に生じる回路オフセットと光学オフセットを適切にキャンセルできるようにすることを目的とする。

【0013】

【課題を解決するための手段】この発明は上記の目的を達成するため、光ピックアップの分割受光素子からの複数の出力信号に基づいてフォーカス信号及びトラッキング信号のサーボ信号を演算するサーボ信号演算回路と、そのサーボ信号演算回路から出力されたサーボ信号に第1の系統のオフセットキャンセル電圧を印加する第1系統オフセットキャンセル電圧印加手段と、その手段によって第1の系統のオフセットキャンセル電圧が印加された後のサーボ信号を上記複数の出力信号の総和信号で正規化するサーボ信号正規化手段と、その手段によって正規化された後のサーボ信号に第2の系統のオフセットキャンセル電圧を印加する第2系統オフセットキャンセル電圧印加手段を備えた光ディスク駆動装置の信号検出回路を提供する。

【0014】また、上述の光ディスク駆動装置の信号検出回路において、所定の切替信号に基づいて2種類のゲインの内の一方のゲインに切り替え、その切り替えられたゲインに基づいて上記分割受光素子からの複数の出力信号の電流信号をそれぞれ電圧信号に変換する電流電圧変換回路と、上記第1系統オフセットキャンセル電圧印加手段が印加する第1の系統のオフセットキャンセル電圧のレベルを上記所定の切替信号に基づいて2種類の小系統のレベルの内の方に切り替えるオフセットキャンセル電圧レベル切替手段を設け、上記所定の切替信号に基づいて上記電流電圧変換回路におけるゲインの種類の切り替えと上記オフセットキャンセル電圧レベル切替手段における小系統のレベルの種類の切り替えとを連動させるようにするとよい。

【0015】

【発明の実施の形態】以下、この発明の実施の形態を図面に基づいて具体的に説明する。図2は、この発明の一実施形態である光ディスク駆動装置の構成を示す図である。

【0016】この光ディスク駆動装置は、光ディスク1に光ピックアップ2から出射したレーザビームLを照射する。レーザ駆動回路3は、データ再生時には、光ピックアップ2を駆動させて所定の再生パワー値でレーザビームLを照射し、データ記録時には、変調回路4が出力する変調パターンに応じて光ピックアップ2を駆動させて所定の記録パワーでレーザビームを照射する。

【0017】光ピックアップ2は、内部に分割受光素子と電流直流変換回路(IV変換回路)を備えた検出器を有し、その検出器で光ディスク1から反射されたレーザ

10

20

30

40

50

ビームを電圧信号に変換する。信号検出回路5は、光ピックアップ2の出力信号から再生データに応じたRF信号とサーボ信号とを出力する。そのサーボ信号は、フォーカス制御用のフォーカス信号とトラッキング制御用のトラック信号等からなる。

【0018】サーボ回路7は、上記サーボ信号に基づいて光ピックアップ2のアクチュエータを駆動し、レーザビームLを光ディスク1上のトラックに追従させる。CPU8は、マイクロコンピュータであり、この光ディスク駆動装置の全体の制御を司る。スピンドルモータ9は、光ディスク1を所定の回転数で回転駆動させる。

【0019】図3は、図2の光ピックアップ2内の検出器の構成を示す図である。この検出器は、4つの分割受光素子10a～10dからなるフォトディテクタ10と、4つのIVアンプ(IV変換回路)11a～11dとからなる。

【0020】そして、フォトディテクタ10の各分割受光素子10a～10dは、光ディスク1からの反射光による光信号を電流信号に変換すると、IVアンプ11a～11dへそれぞれ出力し、各IVアンプ11a～11dは、それぞれ入力した電流信号を電圧信号に変換して出力する。

【0021】一般に、レーザビームLの再生パワー値と記録パワー値とは10倍程度の差があるため、フォトディテクタ10に入力される光信号も再生時と記録時とでは同比率の差が生じる。

【0022】各IVアンプ11a～11dは、高、低の2種類のゲインに切り替え可能であり、データ再生時には高ゲインに、データ記録時には低ゲインにそれぞれ切り替えており、レーザパワーの小さいデータ再生時には、十分な振幅の電圧信号が得られるようにし、レーザパワーの高いデータ記録時には、電圧信号が飽和しないように防いでいる。

【0023】図1は、図2に示した信号検出回路5の内部の詳細な構成を示す図である。この信号検出回路5は、DAコンバータ(DAC)23がフォーカス信号の回路オフセットをキャンセルするための電圧“FEOF S-E”を出力する。セレクタ(SEL)22は、2種類のオフセットキャンセルデータの“FEOF S1”及び“FEOF S2”を入力し、その内の方を選択してDAC23へ入力する。

【0024】すなわち、データ記録中に“H”になるWGATE信号を入力し、WGATE信号が“ハイ(H)”の時は“FEOF S1”を、“ロー(L)”の時は“FEOF S2”をDAC23へ出力する。

【0025】なお、このWGATE信号は、図3に示した光ピックアップ2内の各IVアンプ11a～11dのゲイン切り替えにも使用される。差動アンプ24は、フォーカス信号演算アンプ21の出力値から回路オフセットキャンセル電圧“FEOF S-E”を差し引いて出力

する。

【0026】このようにして、上述したように回路オフセットは各IVアンプ11a～11d、フォーカス信号演算アンプ21で生じるものが支配的であり、差動アンプ24で回路オフセットを差し引くことにより、回路オフセットをほぼキャンセルすることができる。

【0027】また、光ピックアップ2内の検出器の各IVアンプ11a～11dは、WGATE信号に基づいてゲイン切り替えを行なう。しかし、高ゲイン時と低ゲイ

10

ン時とで異なる回路オフセットが生じる。

【0028】そこで、DAC23にデータ再生時(WGATE信号=“L”)用の高ゲインオフセットキャンセルデータ“FEOF S1”と、データ記録時(WGATE信号=“H”)用の低ゲインオフセットキャンセルデータ“FEOF S2”を選択入力することにより、高ゲイン時と低ゲイン時の回路オフセットをいずれもキャンセルすることができる。

【0029】同じようにして、この信号検出回路5は、DAコンバータ(DAC)33がトラッキング信号の回路オフセットをキャンセルするための電圧“TEOF S-E”を出力する。セレクタ(SEL)32は、2種類のオフセットキャンセルデータの“TEOF S1”及び“TEOF S2”を入力し、その内の方を選択してDAC33へ入力する。

【0030】すなわち、データ記録中に“H”になるWGATE信号を入力し、WGATE信号が“ハイ(H)”の時は“TEOF S1”を、“ロー(L)”の時は“TEOF S2”をDAC33へ出力する。

【0031】差動アンプ34は、トラッキング信号演算アンプ31の出力値から回路オフセットキャンセル電圧“TEOF S-E”を差し引いて出力する。このようにして、上述したように回路オフセットは各IVアンプ11a～11d、トラッキング信号演算アンプ31で生じるものが支配的であり、差動アンプ34で回路オフセットを差し引くことにより、回路オフセットをほぼキャンセルすることができる。

【0032】また、光ピックアップ2内の検出器の各IVアンプ11a～11dは、WGATE信号に基づいてゲイン切り替えを行なう。しかし、高ゲイン時と低ゲイ

20

ン時とで異なる回路オフセットが生じる。

【0033】そこで、DAC43にデータ再生時(WGATE信号=“L”)用の高ゲインオフセットキャンセルデータ“SUMOFS1”と、データ記録時(WGATE信号=“H”)用の低ゲインオフセットキャンセルデータ“SUMOFS2”を選択入力することにより、総和信号についても高ゲイン時と低ゲイン時の回路オフセットをいずれもキャンセルすることができる。

【0034】また、光ピックアップ2内の検出器の各IVアンプ11a～11dは、WGATE信号に基づいてゲイン切り替えを行なう。しかし、高ゲイン時と低ゲイ

30

ン時とで異なる回路オフセットが生じる。

【0035】上述と同じようにして、この信号検出回路5は、DAコンバータ(DAC)43が総和信号の回路オフセットをキャンセルするための電圧“SUMOFS-E”を出力する。セレクタ(SEL)42は、2種類のオフセットキャンセルデータの“SUMOFS1”及び“SUMOFS2”を入力し、その内の方を選択してDAC43へ入力する。

【0036】すなわち、データ記録中に“H”になるWGATE信号を入力し、WGATE信号が“ハイ(H)”の時は“SUMOFS1”を、“ロー(L)”の時は“SUMOFS2”をDAC43へ出力する。

【0037】差動アンプ44は、総和信号演算アンプ41の出力値から回路オフセットキャンセル電圧“SUMOFS-E”を差し引いて出力する。このようにして、

上述したように回路オフセットは各IVアンプ11a～11d、総和信号演算アンプ41で生じるものが支配的であり、差動アンプ44で回路オフセットを差し引くことにより、回路オフセットをほぼキャンセルすることができる。

【0038】また、光ピックアップ2内の検出器の各IVアンプ11a～11dは、WGATE信号に基づいてゲイン切り替えを行なう。しかし、高ゲイン時と低ゲイ

40

ン時とで異なる回路オフセットが生じる。

【0039】そこで、DAC43にデータ再生時(WGATE信号=“L”)用の高ゲインオフセットキャンセルデータ“SUMOFS1”と、データ記録時(WGATE信号=“H”)用の低ゲインオフセットキャンセルデータ“SUMOFS2”を選択入力することにより、総和信号についても高ゲイン時と低ゲイン時の回路オフセットをいずれもキャンセルすることができる。

【0040】次に、差動アンプ24と34によって回路オフセットがキャンセルされた総和信号(すなわち、フォーカス信号とトラック信号)はそれぞれVCA(Voltage Controlled Amp)25と35に入力される。

【0041】また、差動アンプ44によって回路オフセットがキャンセルされた総和信号をAGC制御回路(AGCCNT)45へ入力する。AGCCNT45は、総和信号が大きい時にはVCA25と35のゲインを低下させ、総和信号が小さいときにはVCA25と35のゲインを増加させる。

【0042】このような動作によって上述のAGCを行ない、フォーカス信号、トラッキング信号のレベルのディスク反射率やレーザパワー値の変化による信号レベル変動を抑制することができる。

50

【0034】さらに、総和信号演算アンプ41は、検出器からの出力値VA～VDの総和信号を出力する。その総和信号は、この信号に基づいてフォーカス信号及びト

【0043】さらに、DAコンバータ（DAC）26は、正規化後のフォーカス信号の光学オフセットをキャンセルするための電圧“FEOF S-O”を出力する。そして、差動アンプ27は、正規化後のフォーカス信号から光学オフセットキャンセル電圧“FEOF S-O”を差し引いて出力する。

【0044】同じようにして、DAコンバータ（DAC）36は、正規化後のトラッキング信号の光学オフセットをキャンセルするための電圧“TEOF S-O”を出力する。そして、差動アンプ37は、正規化後のトラッキング信号から光学オフセットキャンセル電圧“TEOF S-O”を差し引いて出力する。

【0045】このようにして、上述したように、フォーカス信号、トラッキング信号に生じる光学オフセットはフォトディテクタ10に入力される信号レベル、すなわち、総和信号レベルに比例して変化する。また、総和信号で正規化されたフォーカス信号、トラッキング信号については、光学オフセットが一定レベルになる。

【0046】さらに詳しく述べると、光ディスク1のディスク反射率やレーザパワー値が増大すると、フォーカス信号レベル、トラッキング信号レベル、及びフォーカス信号とトラッキング信号に生じる光学オフセットは共に比例して増大する。

【0047】同じようにして、総和信号レベルも増大するため、上述のAGC動作によってVCA25、35のゲインが低下する。その結果、正規化後のフォーカス信号、トラッキング信号レベルは、光ディスク1のディスク反射率やレーザパワー値の増大前のレベルに抑制することができる。また、光ディスク1のディスク反射率、レーザパワー値の減少時も同様である。

【0048】このようにして、差動アンプ27からは光学オフセットがキャンセルされた正規化後のフォーカス信号が、差動アンプ37からは光学オフセットがキャンセルされた正規化後のトラッキング信号がそれぞれ出力される。

【0049】すなわち、上記フォーカス信号演算アンプ21及び上記トラッキング信号演算アンプ31等が、光ビックアップの分割受光素子からの複数の出力信号に基づいてフォーカス信号及びトラッキング信号のサーボ信号を演算するサーボ信号演算回路の機能を果たす。

【0050】また、上記差動アンプ24と34等が、サーボ信号演算回路から出力されたサーボ信号に第1の系統のオフセットキャンセル電圧を印加する第1系統オフセットキャンセル電圧印加手段の機能を果たす。

【0051】さらに、上記VCA25と35、総和信号演算アンプ41、差動アンプ44、AGC制御回路45等が、第1系統オフセットキャンセル電圧印加手段によって第1の系統のオフセットキャンセル電圧が印加された後のサーボ信号を上記複数の出力信号の総和信号で正規化するサーボ信号正規化手段の機能を果たす。

【0052】さらにまた、上記差動アンプ27と37等が、サーボ信号正規化手段によって正規化された後のサーボ信号に第2の系統のオフセットキャンセル電圧を印加する第2系統オフセットキャンセル電圧印加手段の機能を果たす。

【0053】また、上記IV変換回路11a～11dが、所定の切替信号に基づいて2種類のゲインの内的一方のゲインに切り替え、その切り替えたゲインに基づいて上記分割受光素子からの複数の出力信号の電流信号をそれぞれ電圧信号に変換する電流電圧変換回路の機能を果たす。

【0054】さらに、上記セレクタ22と32、DAC23と33等が、上記第1系統オフセットキャンセル電圧印加手段が印加する第1の系統のオフセットキャンセル電圧のレベルを上記所定の切替信号に基づいて2種類の小系統のレベルの内的一方に切り替えるオフセットキャンセル電圧レベル切替手段の機能を果たす。

【0055】そして、上記WGATE信号によって上記所定の切替信号に基づいて上記電流電圧変換回路におけるゲインの種類の切り替えと上記オフセットキャンセル電圧レベル切替手段における小系統のレベルの種類の切り替えとを連動させるようとする。

【0056】次に、この光ディスク駆動装置におけるオフセットキャンセルシーケンスを説明する。このオフセットキャンセルシーケンスは、CPU8が所定条件における信号検出回路5内のいくつかの信号レベルをADCコンバータ（ADC）52を経由して読み取り、読み取ったデータに基づいてオフセットキャンセルデータを設定することによって行なう。

【0057】セレクタ51は、光学オフセットキャンセル後のフォーカス信号（FE）、トラッキング信号（TE）、回路オフセットキャンセル後のフォーカス信号（FEMON）、トラッキング信号（TEMON）、総和信号（SUMMON）のうちの1つを選択してADC52へに入力する。そして、ADC52によるAD変換後のデータ“OFS DAT”はCPU8に入力される。

【0058】次に、回路オフセットキャンセルシーケンスを説明する。上述したように、回路オフセットはレーザパワーをオフ（OFF）した場合でも定常的に生じる。このため、レーザパワーをオフにして信号検出回路5内の信号レベルを検出して、オフセットキャンセルデータを設定することにより、回路オフセットのキャンセルが可能になる。

【0059】次に、フォーカス信号系についての回路オフセットキャンセルシーケンスを説明する。図4は、CPU8におけるフォーカス信号系の回路オフセットキャンセルシーケンス処理を示すフローチャートを示す。

【0060】CPU8は、ステップ（図中「S」で示す）1で、レーザ駆動回路を停止させ、LD・OFFでレーザパワーをオフにする。ステップ2へ進んで信号検

出回路5のセレクタ51がFEMONを選定するように切り替えを行なう。この結果、ADC52からはFEMONのAD変換データが outputされる。

【0061】また、ステップ3へ進んでWGATE信号を“L”にする。これによって検出回路のIVアンプ11a～11dによるIV変換ゲインは高ゲインになり、また、信号検出回路5のDAC23にはオフセットキャンセルデータ“FE OFS1”が入力される。そして、ステップ4へ進んで“FE OFS1”的値を変化させて調整し、回路オフセットのキャンセルを行なう。

【0062】さらに、CPU8は、ステップ5へ進んでWGATE信号を“H”にする。これによって検出回路のIVアンプ11a～11dによるIV変換ゲインは低ゲインになり、また、信号検出回路5のDAC23にはオフセットキャンセルデータ“FE OFS2”が入力される。そして、ステップ6へ進んで“FE OFS2”的値を変化させて調整し、回路オフセットのキャンセルを行なう。

【0063】このようにして、図4のステップ1～6の処理終了後、“FE OFS1”には検出回路のIVアンプ11a～11bが高ゲインの場合の、また、“FE OFS2”には検出回路のIVアンプ11a～11bが低ゲインの場合のオフセットキャンセルデータが得られる。

【0064】図5は、図4のステップ4の詳細な処理を示すフローチャートである。CPU8は、ステップ11で“FE OFS1”に初期値を設定する。例えば、ADC52に入力可能なデータ範囲の中心値を設定する。

【0065】ステップ12へ進んでAD変換データ“OF SDAT”を読み出し、その絶対値が所定値以下か否かを判断して、所定値以下であれば、差動アンプ24の出力値“FEMON”がほぼ“0”レベルにあり、回路オフセットキャンセルが終了しているので、処理を終了する。

【0066】ステップ12の判断で“OF SDAT”的絶対値が所定値を越える場合は、ステップ13へ進んで“OF SDAT”が正か負かを判断し、正ならばステップ15へ進み、負ならばステップ14へ進む。

【0067】ステップ15へ進んだ場合、“FEMON”的レベルは正のレベルであり、“FE OFS1”に“1”をインクリメント(加算)する。その結果、オフセットキャンセル電圧“FE OFS-E”が増加し、差動アンプ24の出力値“FEMON”的レベルが減少し、回路オフセットが減少する。

【0068】ステップ14へ進んだ場合、“FEMON”的レベルは負のレベルであり、“FE OFS1”から“1”をデクリメント(減算)する。その結果、オフセットキャンセル電圧“FE OFS-E”が減少し、差動アンプ24の出力値“FEMON”的レベルが増加し、回路オフセットが増加する。

【0069】このステップ14又はステップ15の処理の後にステップ12へ戻り、ステップ12～15のループ処理を繰り返すうちに、“FEMON”的レベルが“0”近傍の所定レベルになるような“FE OFS1”が設定されたところで処理を終了する。

【0070】図6は、図4のステップ6の詳細な処理を示すフローチャートである。CPU8は、ステップ21で“FE OFS2”に初期値を設定する。例えば、ADC52に入力可能なデータ範囲の中心値を設定する。

【0071】ステップ22へ進んでAD変換データ“OF SDAT”を読み出し、その絶対値が所定値以下か否かを判断して、所定値以下であれば、差動アンプ24の出力値“FEMON”がほぼ“0”レベルにあり、回路オフセットキャンセルが終了しているので、処理を終了する。

【0072】ステップ22の判断で“OF SDAT”的絶対値が所定値を越える場合は、ステップ23へ進んで“OF SDAT”が正か負かを判断し、正ならばステップ25へ進み、負ならばステップ24へ進む。

【0073】ステップ25へ進んだ場合、“FEMON”的レベルは正のレベルであり、“FE OFS2”に“1”をインクリメント(加算)する。その結果、オフセットキャンセル電圧“FE OFS-E”が増加し、差動アンプ24の出力値“FEMON”的レベルが減少し、回路オフセットが減少する。

【0074】ステップ24へ進んだ場合、“FEMON”的レベルは負のレベルであり、“FE OFS2”から“1”をデクリメント(減算)する。その結果、オフセットキャンセル電圧“FE OFS-E”が減少し、差動アンプ24の出力値“FEMON”的レベルが増加し、回路オフセットが増加する。

【0075】このステップ24又はステップ25の処理の後にステップ22へ戻り、ステップ22～25のループ処理を繰り返すうちに、“FEMON”的レベルが“0”近傍の所定レベルになるような“FE OFS2”が設定されたところで処理を終了する。

【0076】次に、トラッキング信号系についての回路オフセットキャンセルシーケンスを説明する。図7は、CPU8におけるトラッキング信号系の回路オフセットキャンセルシーケンス処理を示すフローチャートを示す。

【0077】CPUは、ステップ(図中「S」で示す)31で、レーザ駆動回路を停止させ、LD・OFFでレーザパワーをオフにする。ステップ32へ進んで信号検出回路5のセレクタ51がTEMONを選定するように切り替えを行なう。この結果、ADC52からはTEMONのAD変換データがoutputされる。

【0078】また、ステップ33へ進んでWGATE信号を“L”にする。これによって検出回路のIVアンプ11a～11dによるIV変換ゲインは高ゲインにな

り、また、信号検出回路5のDAC33にはオフセットキャンセルデータ“TEOFS1”が入力される。そして、ステップ34へ進んで“TEOFS1”的値を変化させて調整し、回路オフセットのキャンセルを行なう。

【0079】さらに、CPU8は、ステップ35へ進んでWGATE信号を“H”にする。これによって検出回路のIVアンプ11a～11dによるIV変換ゲインは低ゲインになり、また、信号検出回路5のDAC33にはオフセットキャンセルデータ“TEOFS1”が入力される。そして、ステップ36へ進んで“TEOFS2”的値を変化させて調整し、回路オフセットのキャンセルを行なう。

【0080】このようにして、図7のステップ31～36の処理終了後、“TEOFS1”には検出回路のIVアンプ11a～11bが高ゲインの場合の、また、“TEOFS1”には検出回路のIVアンプ11a～11bが低ゲインの場合のオフセットキャンセルデータが得られる。

【0081】図8は、図7のステップ34の詳細な処理を示すフローチャートである。CPU8は、ステップ41で“TEOFS1”に初期値を設定する。例えば、ADC52に入力可能なデータ範囲の中心値を設定する。

【0082】ステップ42へ進んでAD変換データ“OFSDAT”を読み出し、その絶対値が所定値以下か否かを判断して、所定値以下であれば、差動アンプ34の出力値“TEMON”がほぼ“0”レベルにあり、回路オフセットキャンセルが終了しているので、処理を終了する。

【0083】ステップ42の判断で“OFSDAT”的絶対値が所定値を越える場合は、ステップ43へ進んで“OFSDAT”が正か負かを判断し、正ならばステップ45へ進み、負ならばステップ44へ進む。

【0084】ステップ45へ進んだ場合、“TEMON”的レベルは正のレベルであり、“TEOFS1”に“1”をインクリメント（加算）する。その結果、オフセットキャンセル電圧“TEOFS-E”が増加し、差動アンプ34の出力値“TEMON”的レベルが減少し、回路オフセットが減少する。

【0085】ステップ44へ進んだ場合、“TEMON”的レベルは負のレベルであり、“TEMON”から“1”をデクリメント（減算）する。その結果、オフセットキャンセル電圧“TEOFS-E”が減少し、差動アンプ34の出力値“TEMON”的レベルが増加し、回路オフセットが増加する。

【0086】このステップ44又はステップ45の処理の後にステップ42へ戻り、ステップ42～45のループ処理を繰り返すうちに、“TEMON”的レベルが“0”近傍の所定レベルになるような“TEOFS1”が設定されたところで処理を終了する。

【0087】図9は、図7のステップ36の詳細な処理

を示すフローチャートである。CPU8は、ステップ51で“TEOFS2”に初期値を設定する。例えば、ADC52に入力可能なデータ範囲の中心値を設定する。【0088】ステップ52へ進んでAD変換データ“OFSDAT”を読み出し、その絶対値が所定値以下か否かを判断して、所定値以下であれば、差動アンプ34の出力値“TEMON”がほぼ“0”レベルにあり、回路オフセットキャンセルが終了しているので、処理を終了する。

【0089】ステップ52の判断で“OFSDAT”的絶対値が所定値を越える場合は、ステップ53へ進んで“OFSDAT”が正か負かを判断し、正ならばステップ55へ進み、負ならばステップ54へ進む。

【0090】ステップ55へ進んだ場合、“TEMON”的レベルは正のレベルであり、“TEOFS2”に“1”をインクリメント（加算）する。その結果、オフセットキャンセル電圧“TEOFS-E”が増加し、差動アンプ34の出力値“TEMON”的レベルが減少し、回路オフセットが減少する。

【0091】ステップ54へ進んだ場合、“TEMON”的レベルは負のレベルであり、“TEMON”から“1”をデクリメント（減算）する。その結果、オフセットキャンセル電圧“TEOFS-E”が減少し、差動アンプ34の出力値“TEMON”的レベルが増加し、回路オフセットが増加する。

【0092】このステップ54又はステップ55の処理の後にステップ52へ戻り、ステップ52～55のループ処理を繰り返すうちに、“TEMON”的レベルが“0”近傍の所定レベルになるような“TEOFS2”が設定されたところで処理を終了する。

【0093】次に、この光ディスク駆動装置における総和信号系についての回路オフセットキャンセルシーケンスを説明する。図10は、CPU8における総和信号系の回路オフセットキャンセルシーケンス処理を示すフローチャートを示す。

【0094】CPU8は、ステップ（図中「S」で示す）61で、レーザ駆動回路を停止させ、LD·OFFでレーザパワーをオフにする。ステップ62へ進んで信号検出回路5のセレクタ51がSUMMONを選定するよう切り替えを行なう。この結果、ADC52からはSUMMONのAD変換データが出力される。

【0095】また、ステップ63へ進んでWGATE信号を“L”にする。これによって検出回路のIVアンプ11a～11dによるIV変換ゲインは高ゲインになり、また、信号検出回路5のDAC43にはオフセットキャンセルデータ“SUMOFS1”が入力される。そして、ステップ64へ進んで“SUMOFS1”的値を変化させて調整し、回路オフセットのキャンセルを行なう。

【0096】さらに、CPU8は、ステップ65へ進ん

でWGATE信号を“H”にする。これによって検出回路のIVアンプ11a～11dによるIV変換ゲインは低ゲインになり、また、信号検出回路5のDAC43にはオフセットキャンセルデータ“SUMOFS2”が入力される。そして、ステップ66へ進んで“SUMOFS2”的値を変化させて調整し、回路オフセットのキャンセルを行なう。

- 【0097】このようにして、図10のステップ61～66の処理終了後、“SUMOFS1”には検出回路のIVアンプ11a～11bが高ゲインの場合の、また、“SUMOFS2”には検出回路のIVアンプ11a～11bが低ゲインの場合のオフセットキャンセルデータが得られる。

【0098】図11は、図10のステップ64の詳細な処理を示すフローチャートである。CPU8は、ステップ71で“SUMOFS1”に初期値を設定する。例えば、ADC52に入力可能なデータ範囲の中心値を設定する。

【0099】ステップ72へ進んでAD変換データ“OFSDAT”を読み出し、その絶対値が所定値以下か否かを判断して、所定値以下であれば、差動アンプ44の出力値“SUMMON”がほぼ“0”レベルにあり、回路オフセットキャンセルが終了しているので、処理を終了する。

【0100】ステップ72の判断で“OFSDAT”的絶対値が所定値を越える場合は、ステップ73へ進んで“OFSDAT”が正か負かを判断し、正ならばステップ75へ進み、負ならばステップ74へ進む。

【0101】ステップ75へ進んだ場合、“SUMMON”的レベルは正のレベルであり、“SUMOFS1”に“1”をインクリメント（加算）する。その結果、オフセットキャンセル電圧“SUMOFS-E”が増加し、差動アンプ44の出力値“SUMMON”的レベルが減少し、回路オフセットが減少する。

【0102】ステップ74へ進んだ場合、“SUMMON”的レベルは負のレベルであり、“SUMOFS1”から“1”をデクリメント（減算）する。その結果、オフセットキャンセル電圧“SUMOFS-E”が減少し、差動アンプ44の出力値“SUMMON”的レベルが増加し、回路オフセットが増加する。

【0103】このステップ74又はステップ75の処理の後にステップ72へ戻り、ステップ72～75のループ処理を繰り返すうちに、“SUMMON”的レベルが“0”近傍の所定レベルになるような“SUMOFS1”が設定されたところで処理を終了する。

【0104】図12は、図10のステップ66の詳細な処理を示すフローチャートである。CPU8は、ステップ81で“SUMOFS2”に初期値を設定する。例えば、ADC52に入力可能なデータ範囲の中心値を設定する。

【0105】ステップ82へ進んでAD変換データ“OFSDAT”を読み出し、その絶対値が所定値以下か否かを判断して、所定値以下であれば、差動アンプ44の出力値“SUMMON”がほぼ“0”レベルにあり、回路オフセットキャンセルが終了しているので、処理を終了する。

【0106】ステップ82の判断で“OFSDAT”的絶対値が所定値を越える場合は、ステップ83へ進んで“OFSDAT”が正か負かを判断し、正ならばステップ85へ進み、負ならばステップ84へ進む。

【0107】ステップ85へ進んだ場合、“SUMMON”的レベルは正のレベルであり、“SUMOFS2”に“1”をインクリメント（加算）する。その結果、オフセットキャンセル電圧“SUMOFS-E”が増加し、差動アンプ44の出力値“SUMMON”的レベルが減少し、回路オフセットが減少する。

【0108】ステップ84へ進んだ場合、“SUMMON”的レベルは負のレベルであり、“SUMOFS2”から“1”をデクリメント（減算）する。その結果、オフセットキャンセル電圧“SUMOFS-E”が減少し、差動アンプ44の出力値“SUMMON”的レベルが増加し、回路オフセットが増加する。

【0109】このステップ84又はステップ85の処理の後にステップ82へ戻り、ステップ82～85のループ処理を繰り返すうちに、“SUMMON”的レベルが“0”近傍の所定レベルになるような“SUMOFS2”が設定されたところで処理を終了する。

【0110】次に、この光ディスク駆動装置における光学オフセットキャンセルシーケンスについて説明する。

【0111】まず、この光ディスク駆動装置におけるフォーカスサーボをONにした状態でフォーカス信号にオフセットを印加していく、トラッキング信号の振幅が最大になるようなオフセット値を求めるフォーカス信号のオフセットキャンセル処理を説明する。

【0112】図13は、フォーカス信号に印加するオフセット量とトラッキング信号の振幅との関係の一例を示す線図である。この例の場合、トラッキング信号の振幅が最大になるフォーカスオフセット印加量はFであり、この値を光学オフセットキャンセル電圧にする。

【0113】図14は、この光ディスク駆動装置のCPU8における総和信号系の回路オフセットキャンセルシーケンス処理を示すフローチャートである。CPU8は、ステップ91でフォーカスサーボ（FOサーボ）をONにする。ステップ92へ進んでセレクタ51が“TE”を選択するよう切り替えを行なう。

【0114】ステップ93～95ではI=-NからNまでの間、Nをインクリメントしながら処理を繰り返す。まず、ステップ93でオフセットキャンセルデータの“FE OFS3”にIの値を設定する。

【0115】ステップ94へ進んで“OFSDAT”を

モニタし、トラッキング信号のピーク値とボトム値に相当するA/D変換データを検出する。さらに、ステップ95へ進んで(ピーク値-ボトム値)、すなわち、トラッキング信号の振幅値に相当するデータをTE(I)をIに関係付けて記憶する。そして、ステップ93~95の繰り返し後、ステップ96へ進む。

【0116】ステップ96では記憶した“ $2N+1$ ”個のデータ: TE(I)の最大値を検出する。ステップ97へ進んでTE(I)が最大になるIの値をオフセットキャンセルデータ“TEOFS3”として設定する。そして、上述の処理の終了後、“TEOFS3”にフォーカス信号の光学オフセットをキャンセルするデータが得られる。

【0117】次に、この光ディスク駆動装置におけるフォーカスサーボをONにした状態でトラッキング信号にオフセットを印加していく、トラッキング信号の振幅の中心値が最も“0”に近いオフセットを求めるトラッキング信号のオフセットキャンセル処理を説明する。

【0118】図15は、この光ディスク駆動装置のCPU8における総和信号系の他の回路オフセットキャンセルシーケンス処理を示すフローチャートである。CPU8は、ステップ101でフォーカスサーボ(FOサーボ)をONにする。ステップ102へ進んでセレクタ51が“TE”を選択するように切り替えを行なう。

【0119】ステップ103~105ではI=-NからNまでの間、Nをインクリメントしながら処理を繰り返す。まず、ステップ103でオフセットキャンセルデータの“TEOFS3”にIの値を設定する。

【0120】ステップ104へ進んで“OFSDAT”をモニタし、トラッキング信号のピーク値とボトム値に相当するA/D変換データを検出する。さらに、ステップ105へ進んで(ピーク値+ボトム値)/2、すなわち、トラッキング信号の振幅の中心値に相当するデータ: TE(I)をIに関係付けて記憶する。そして、ステップ103~105の繰り返し後、ステップ106へ進む。

【0121】ステップ106では記憶した“ $2N+1$ ”個のデータ: TE(I)の絶対値の最小値、すなわち、最も“0”に近い値を検出する。ステップ107へ進んで|TE(I)|が最小になるIの値をオフセットキャンセルデータ“TEOFS3”として設定する。そして、上述の処理の終了後、“TEOFS3”にトラッキング信号の光学オフセットをキャンセルするデータが得られる。

【0122】この光ディスク駆動装置の信号検出回路は、IVアンプ、サーボ信号演算アンプの後段で回路オフセットを差し引いているので、IVアンプ、サーボ信号演算アンプにおける発生が支配的な回路オフセットを十分にキャンセルすることができる。

【0123】また、正規化後のサーボ信号の後段で光学

オフセットを差し引いているので、光ディスクのディスク反射率やレーザパワーの変動があっても一定のオフセットキャンセル電圧によって光学オフセットを十分にキャンセルすることができる。

【0124】さらに、IVアンプがゲイン切り替え機能を有し、それぞれのゲインに対してオフセットキャンセルデータを持ち、ゲイン切り替えに連動させてオフセットキャンセルデータの切り替えを行なうので、どちらのゲインに対しても回路オフセットを十分にキャンセルすることができる。

【0125】

【発明の効果】以上説明してきたように、この発明による光ディスク駆動装置の信号検出回路によれば、サーボ信号に生じる回路オフセットと光学オフセットを適切にキャンセルすることができる。

【図面の簡単な説明】

【図1】図2に示した信号検出回路5の内部の詳細な構成を示す図である。

【図2】この発明の一実施形態である光ディスク駆動装置の構成を示す図である。

【図3】図2に示した光ピックアップ2内の検出器の構成を示す図である。

【図4】図1に示したCPU8におけるフォーカス信号系の回路オフセットキャンセルシーケンス処理を示すフローチャートである。

【図5】図4に示したステップ4の詳細な処理を示すフローチャートである。

【図6】図4に示したステップ6の詳細な処理を示すフローチャートである。

【図7】図1に示したCPU8におけるトラッキング信号系の回路オフセットキャンセルシーケンス処理を示すフローチャートである。

【図8】図7に示したステップ34の詳細な処理を示すフローチャートである。

【図9】図7に示したステップ36の詳細な処理を示すフローチャートである。

【図10】図1に示したCPU8における総和信号系の回路オフセットキャンセルシーケンス処理を示すフローチャートである。

【図11】図10に示したステップ64の詳細な処理を示すフローチャートである。

【図12】図10に示したステップ66の詳細な処理を示すフローチャートである。

【図13】フォーカス信号に印加するオフセット量とトラッキング信号の振幅値との関係の一例を示す線図である。

【図14】図1に示したCPU8における総和信号系の回路オフセットキャンセルシーケンス処理を示すフローチャートである。

【図15】図1に示したCPU8における総和信号系の

他の回路オフセットキャンセルシーケンス処理を示すフローチャートである。

【図16】従来の光ディスク駆動装置における信号検出回路のサーボ信号演算部を示す回路図である。

【符号の説明】

- | | |
|--------------------|-------------|
| 1 : 光ディスク | 2 : 光ピックアップ |
| 3 : レーザ駆動回路 | 4 : 変調回路 |
| 5 : 信号検出回路 | 6 : 復調回路 |
| 7 : サーボ回路 | 8 : CPU |
| 9 : スピンドルモータ | |
| 10a ~ 10d : 分割受光素子 | |

* 10 : フォトディテクタ

11a ~ 11d : IVアンプ

21, 61 : フォーカス信号演算アンプ

22, 32, 42, 51 : セレクタ (SEL)

23, 26, 33, 36, 43, 62, 72 : DAC

24, 27, 34, 37, 44, 63, 73 : 差動アンプ

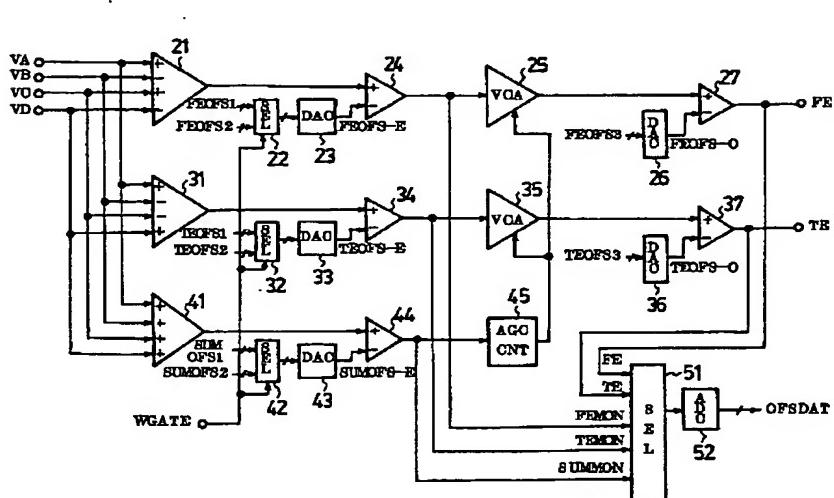
25, 35 : VCA

31, 71 : トラッキング信号演算アンプ

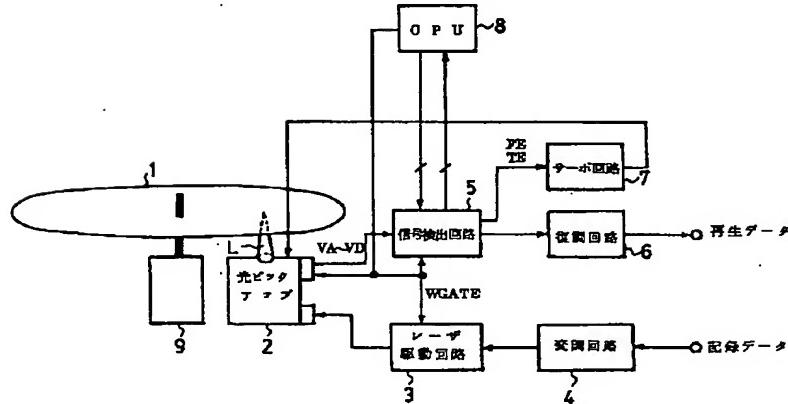
10 45 : AGC制御回路 (AGCCNT)

* 52 : ADコンバータ (ADC)

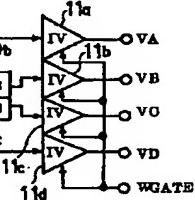
【図1】



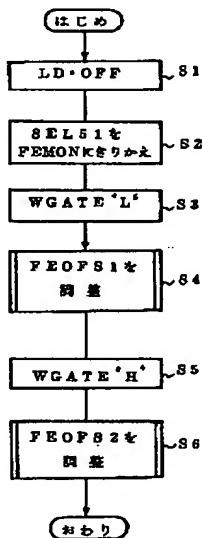
【図2】



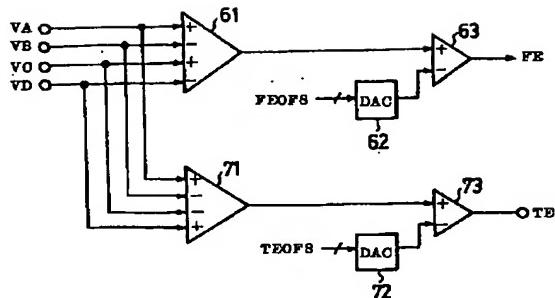
【図3】



【図4】

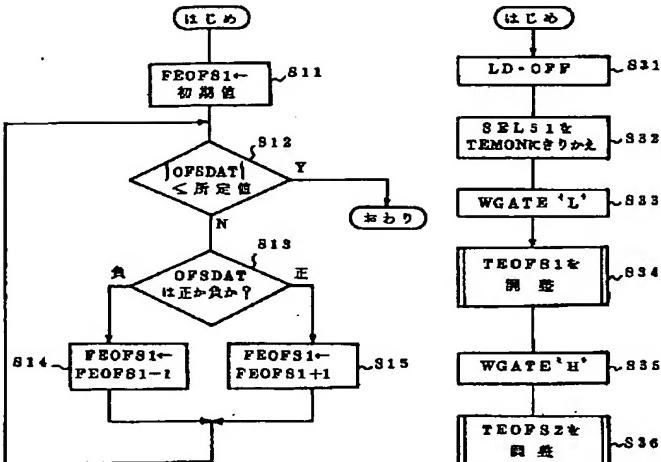


[図16]

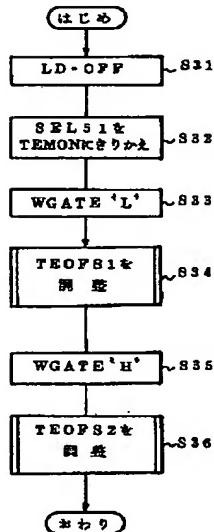


[図6]

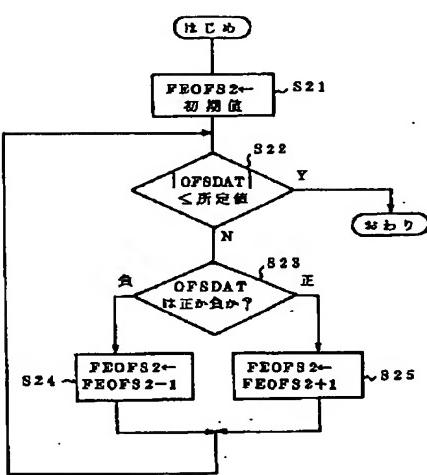
[図5]



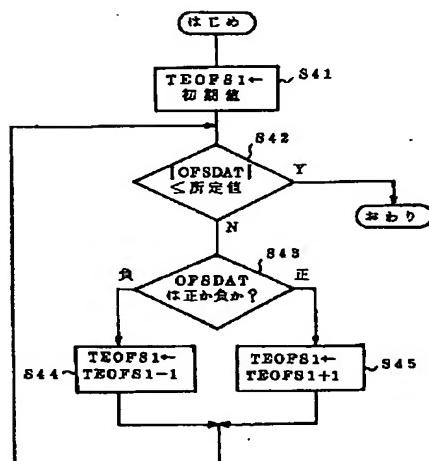
[図7]



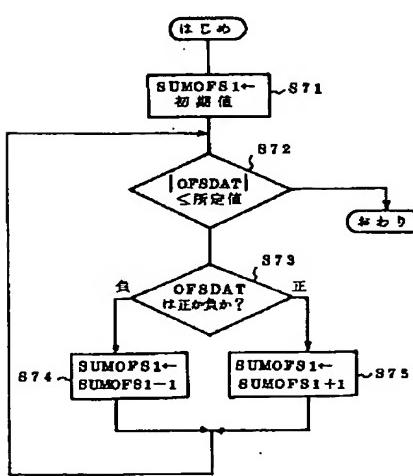
[図8]



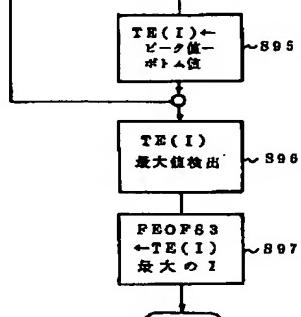
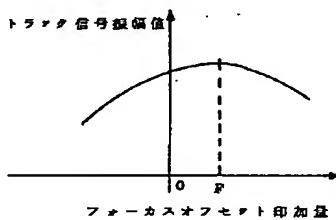
[図14]



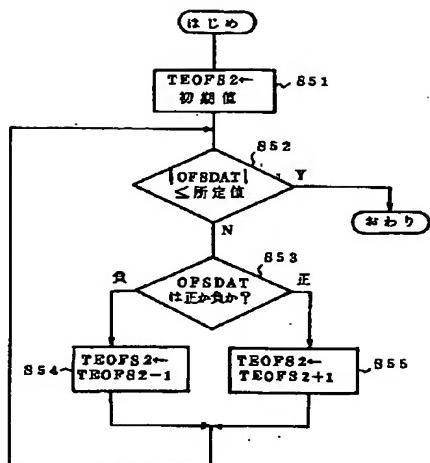
[図11]



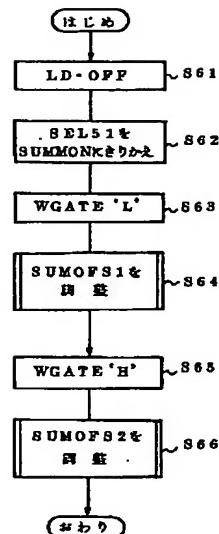
[図13]



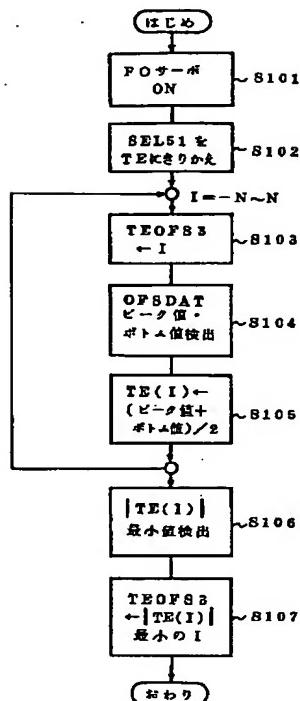
【図9】



【図10】



【図15】



【図12】

